**МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ**

**НАЦІОНАЛЬНИЙ УНІВЕРСИТЕТ "ЛЬВІВСЬКА ПОЛІТЕХНІКА"**

**ІКНІ**

Кафедра **ПЗ**

### **ЗВІТ**

до лабораторної роботи № 2

**На тему:** “Синтез та моделювання в середовищі Proteus мультиплексора та демультиплексора”

**З дисципліни:** *“Архітектура комп’ютера”*

**Лектор:**

Доц. каф. ПЗ

Крук О.Г.

**Виконав:**

ст. гр. ПЗ-22

Ясногородський Н. В.

**Прийняв:**

Доц. каф. ПЗ

Крук О.Г.

« \_\_\_\_ » \_\_\_\_\_\_\_\_ 2022 р.

∑= \_\_\_\_ .

Львів – 2022

**Тема роботи**: Синтез та моделювання в середовищі Proteus мультиплексора та демультиплексора.

**Мета роботи**: закріпити практичні навички моделювання логічних схем в середовищі системи програм Proteus; поглибити знання про основні типи комбінаційних схем: шифратори, дешифратори, мультиплексори і демультиплексори; опанувати їх синтез; дослідити роботу синтезованих схем в системі програм Proteus.

**Індивідуальне завдання**

Варіант 30.

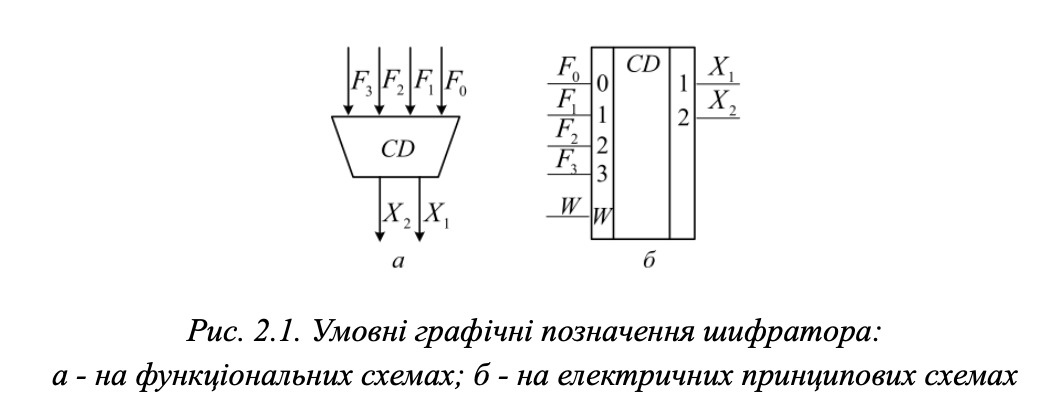
| № | z0/a0 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | f0, КГц | Пріоритет |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| z1/a1 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 |
| z2/a2 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 |
| 7 |  | d3 | d4 | d0 | d1 | d2 | 0 | 0 | 0 | 126 | F7, F1, F4, F5, F6, F2, F3 |

Синтезувати схеми: шифратора, дешифратора, мультиплексора і демультиплексора; опанувати їх синтез; дослідити роботу синтезованих схем в системі програм Proteus.

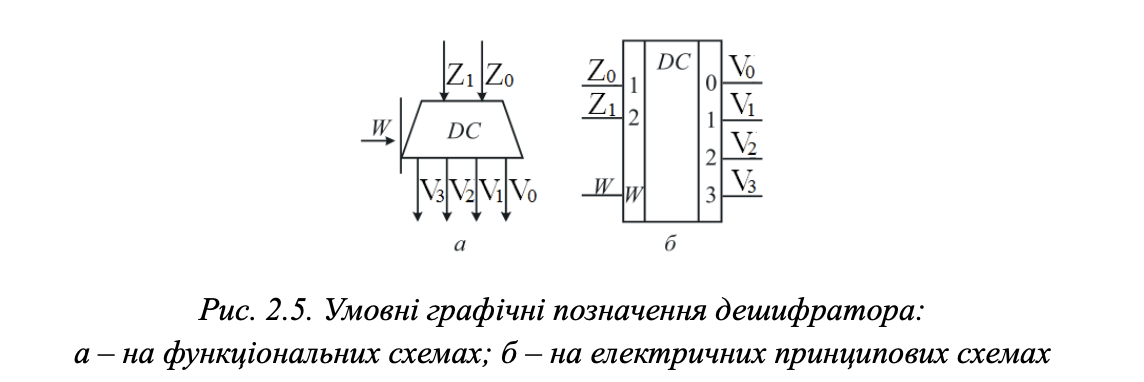
**Теоретичні відомості**

Шифратори, дешифратори, мультиплексори і демультиплексори поряд з суматорами та компараторами належать до основних типів комбінаційних цифрових схем (пристроїв). У комбінаційних пристроях (цифрових автоматах без пам’яті) вихідні сигнали в кожний момент часу повністю визначаються комбінацією поточних значень на входах і не залежать від попередніх значень вхідних сигналів.

Шифратор (encoder, coder, CD) m×n - це цифровий пристрій, призначений для перетворення вхідного m-розрядного унітарного коду у вихідний n-розрядний двійковий позиційний код. Двійковий код, що має завжди тільки одну одиницю, а решта - нулі, називається унітарним. При активізації одного з входів (появі на ньому одиниці) на виходах шифратора формується код, що відображає номер активного входу. Повний двійковий шифратор має m = 2n входів і n виходів, в неповного шифратора m < 2n. Умовні графічні позначення шифратора на схемах наведені на рис. 2.1.

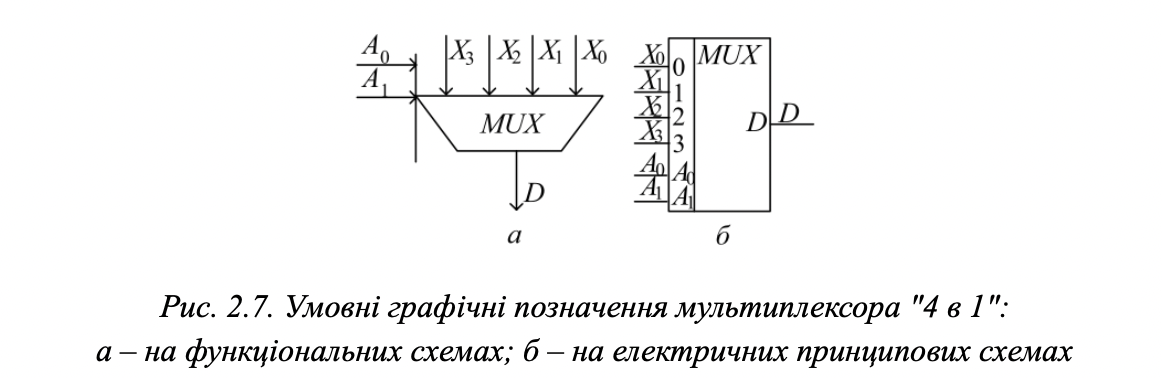


Дешифратор (decoder, DC) n×m - це цифровий пристрій, призначений для перетворення вхідного n-розрядного двійкового позиційного коду у вихідний m-розрядний унітарний код. Як бачимо, дешифратор виконує функцію, обернену функції шифратора. Якщо m = 2n, то дешифратор є повним, в неповного дешифратора m < 2n. Умовні графічні позначення дешифратора на схемах наведені на рис. 2.5.



Мультиплексор (multiplexer, MUX) - це комбінаційний цифровий пристрій, призначений для комутування (перемикання) логічних сигналів від одного з n інформаційних X-входів на єдиний D-вихід. Номер конкретного інформаційного входу, який повинен під’єднуватися до виходу в певний момент часу, вказується за допомогою адресних А-входів. Зв’язок між числом адресних входів q та числом інформаційних входів n визначається співвідношенням 2q ≥ n. Приклад умовних графічних позначень мультиплексора "4 в 1" наведено на рис. 2.7.

Чотиривходовий мультиплексор описується таблицею істинності (табл. 2.3), де А1, А0 - адресні входи; Х3, Х2, Х1, Х0 - інформаційні входи; D – спільний інформаційний вихід.



Демультиплексoр (demultiplexer, DMX) - це комбінаційний цифровий пристрій, призначений для комутування (перемикання) логічного сигналу з одного інформаційного Dвходу на один з n інформаційних Yвиходів. Номер виходу, на який передається значення вхідного логічного сигналу, визначається в певний конкретний момент часу за допомогою адресних А-входів. Зв’язок між числом адресних входів q та числом інформаційних виходів n визначається співвідношенням 2q ≥ n. Приклад умовних графічних позначень демультиплексора "1 в 4" наведено на рис. 2.9. Демультиплексор виконує функцію, обернену до функції мультиплексора.

**Хід виконання лабораторної роботи**

Почну зі синтезу схеми шифратора.

Для початку, складу таблицю для проміжних змінних:

H7 = F7

H1 = ¬F7∧F1

H4 = ¬F7∧¬F1∧F4

H5 = ¬F7∧¬F1∧¬F4∧F5

H6 = ¬F7∧¬F1∧¬F4∧¬F5∧F6

H2 = ¬F7∧¬F1∧¬F4∧¬F5∧¬F6∧F2

H3 = ¬F7∧¬F1∧¬F4∧¬F5∧¬F6∧¬F2∧F3

Тепер запишемо вихідні сигнали пріоритетного лінійного шифратора відповідно до проміжних змінних:

X0 = H1 ∨ H3 ∨ H5 ∨ H7,

X1 = H2 ∨ H3 ∨ H6 ∨ H7,

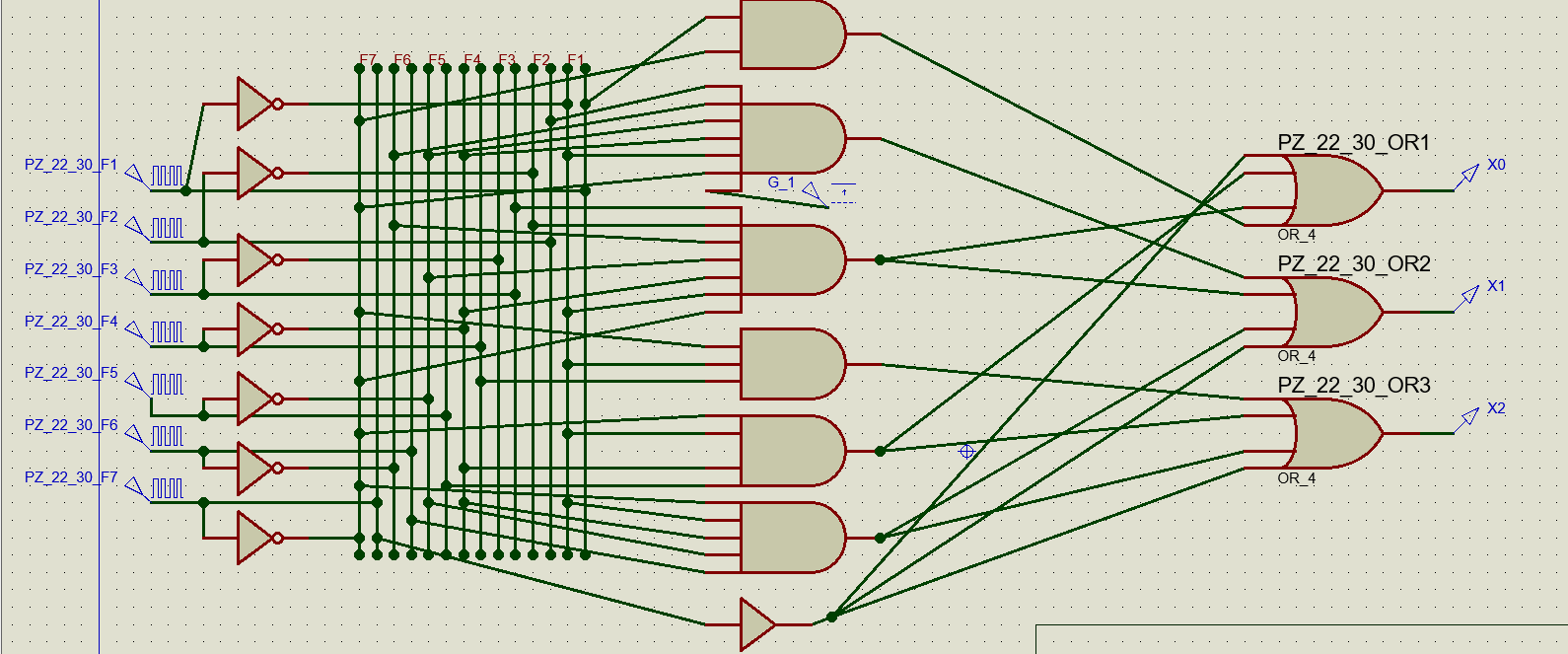
X2 = H4 ∨ H5 ∨ H6 ∨ H7.

| № | F7 | F6 | F5 | F4 | F3 | F2 | F1 | z2/a2 | z1/a1 | z0/a0 |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 1 |
| 2 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 0 |
| 3 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 1 |
| 4 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 0 |
| 5 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 1 |
| 6 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 |
| 7 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 |

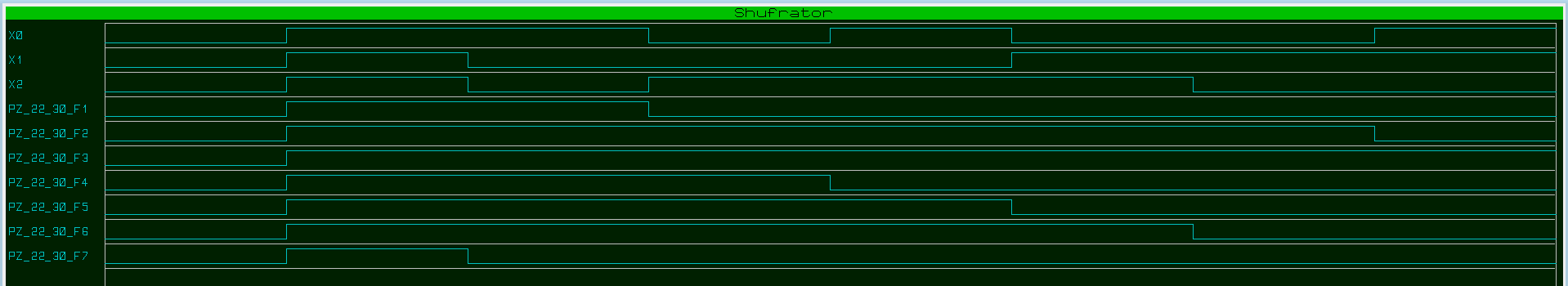
T = 1/126КГц = 1/126000 = 0.000008 = 8u

τ = Т/64 = 0.008 / 64 = 0.000125

Схема лінійного шифратора 8x3:



Таблиця вхідних та вихідних аналізів лінійного шифратора:



Бінарні стрічки:

* X2: 01011100
* X1: 01000111
* X0: 01101001

За допомогою графіка спостерігаємо, що пріоритет є наступним: F7, F1, F4, F5, F6, F2, F3

Лінійний дешифратор 3x8:

| Z2 | Z1 | Z0 | V7 | V6 | V5 | V4 | V3 | V2 | V1 | V0 | d |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | **1** | 0 | 0 | 0 | d3 |
| 0 | 0 | 1 | 0 | 0 | 0 | **1** | 0 | 0 | 0 | 0 | d4 |
| 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | **1** | d0 |
| 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | **1** | 0 | d1 |
| 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | **1** | 0 | 0 | d2 |
| 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

V0 = d0 = ¬Z2 ∧ Z1 ∧ ¬Z0

V1 = d1 = ¬Z2 ∧ Z1 ∧ Z0

V2 = d2 = Z2 ∧ ¬Z1 ∧ ¬Z0

V3 = d3 = ¬Z2 ∧ ¬Z1 ∧ ¬Z0

V4 = d4 = ¬Z2 ∧ ¬Z1 ∧ Z0

V5 = 0

V6 = 0

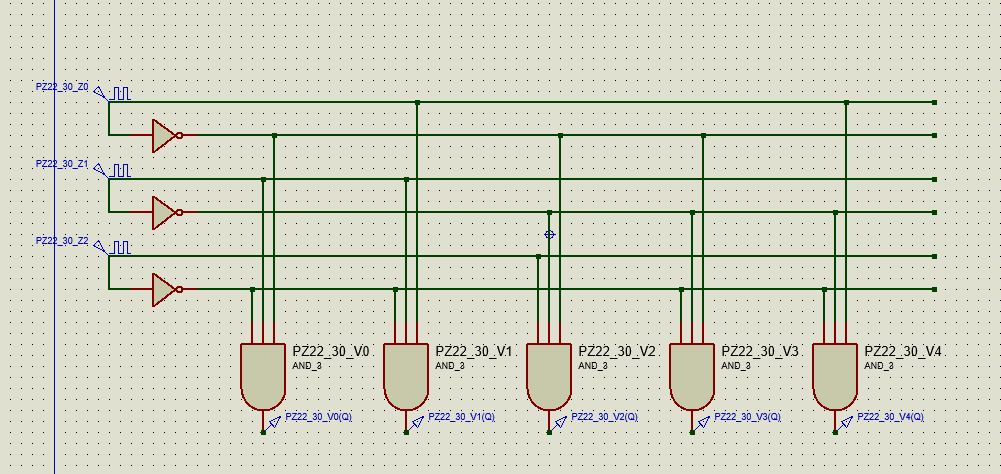
V7 = 0

Частота генератора Z2 = 126k \* 4 = 504k

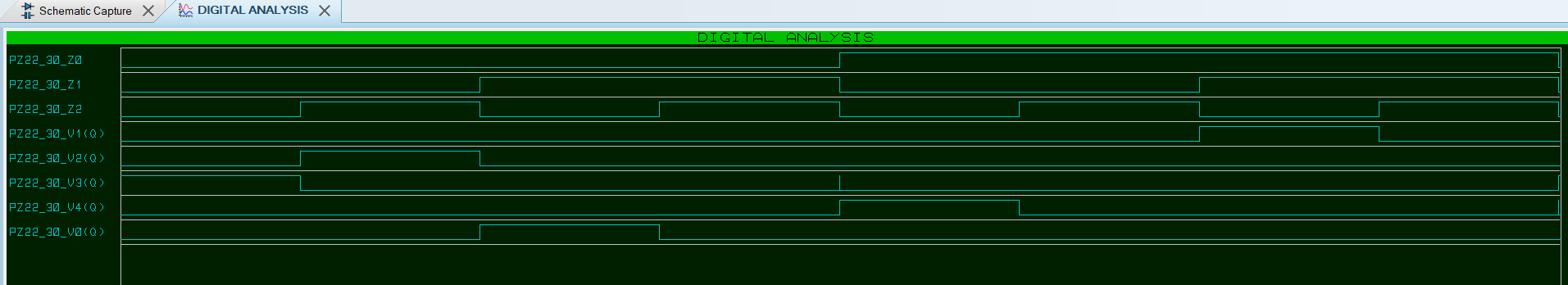
Частота генератора Z1 = 126k \* 2 = 252k

Частота генератора Z0 = 126k

Схема дешифратора 3x8:



Графік дешифратора 3х8:



За допомогою отриманого графіка виконання схеми лінійного дешифратора бачимо, що часові діаграми вхідних та вихідних сигналів на кожному з восьми проміжків відповідають заданій таблиці істинності дешифратора. Отже, моделювання було виконано правильно.

Мультиплексор “5 в 1”:

| a2 | a1 | a0 | f |
| --- | --- | --- | --- |
| 0 | 0 | 0 | d3 |
| 0 | 0 | 1 | d4 |
| 0 | 1 | 0 | d0 |
| 0 | 1 | 1 | d1 |
| 1 | 0 | 0 | d2 |
| 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 0 |
| 1 | 1 | 1 | 0 |

ДДНФ мультиплексора “5 в 1”:

F(a2, a1, a0) = (d3¬a2¬a1¬a0) + (d4¬a2¬a1a0) + (d0¬a2a1¬a0) + (d1¬a2a1a0) + (d2a2¬a1¬a0).

Частота генератора A2 = 126k \* 4 = 504k

Частота генератора A1 = 126k \* 2 = 252k

Частота генератора A0 = 126k

Тривалість сигналу для генераторів D0…D4 = T/8 = 992n

Стрічка для генератора D0 = 01000000

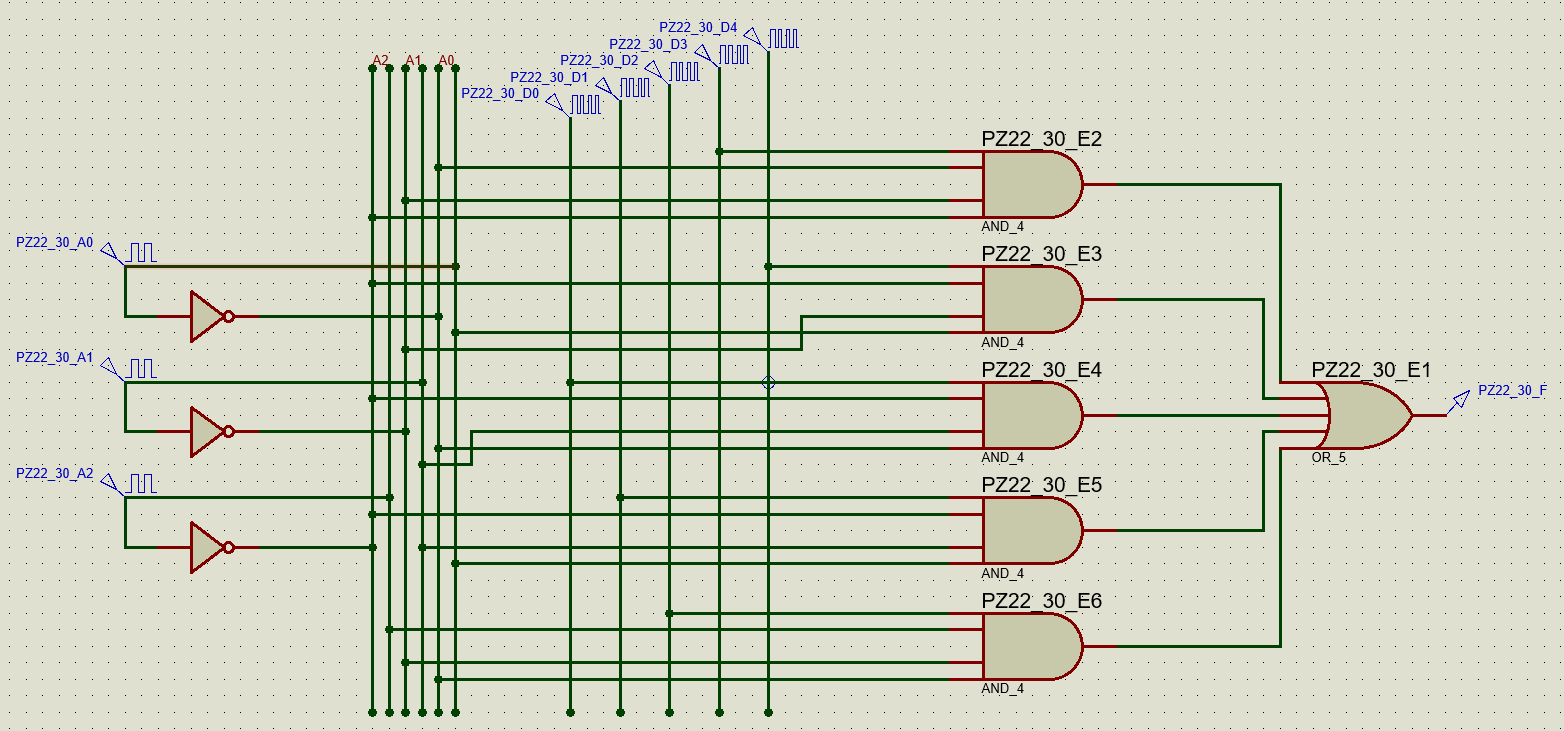
Стрічка для генератора D1 = 01100000

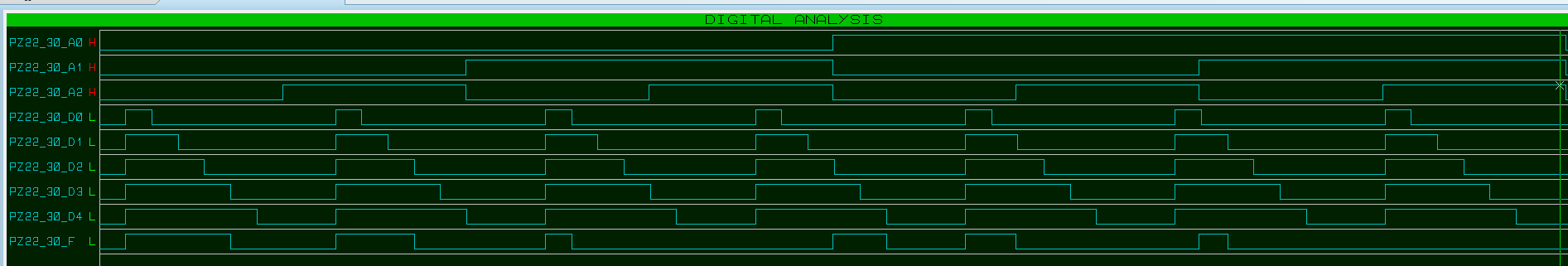
Стрічка для генератора D2 = 01110000

Стрічка для генератора D3 = 01111000

Стрічка для генератора D4 = 01111100

Синтезована схема лінійного мультиплексора “5 в 1”:

Графік “Multiplexer”:



За допомогою отриманого графіка виконання схеми мультиплексора бачимо, що часові діаграми вхідних та вихідних сигналів на кожному з восьми проміжків відповідають заданій таблиці істинності мультиплексора. Отже, моделювання було виконано правильно.

Демультиплексор “1 в 5”:

| a2 | a1 | a0 | y4 | y3 | y2 | y1 | y0 |
| --- | --- | --- | --- | --- | --- | --- | --- |
| 0 | 0 | 0 | 0 | **d3** | 0 | 0 | 0 |
| 0 | 0 | 1 | **d4** | 0 | 0 | 0 | 0 |
| 0 | 1 | 0 | 0 | 0 | 0 | 0 | **d0** |
| 0 | 1 | 1 | 0 | 0 | 0 | **d1** | 0 |
| 1 | 0 | 0 | 0 | 0 | **d2** | 0 | 0 |
| 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 |
| 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 |

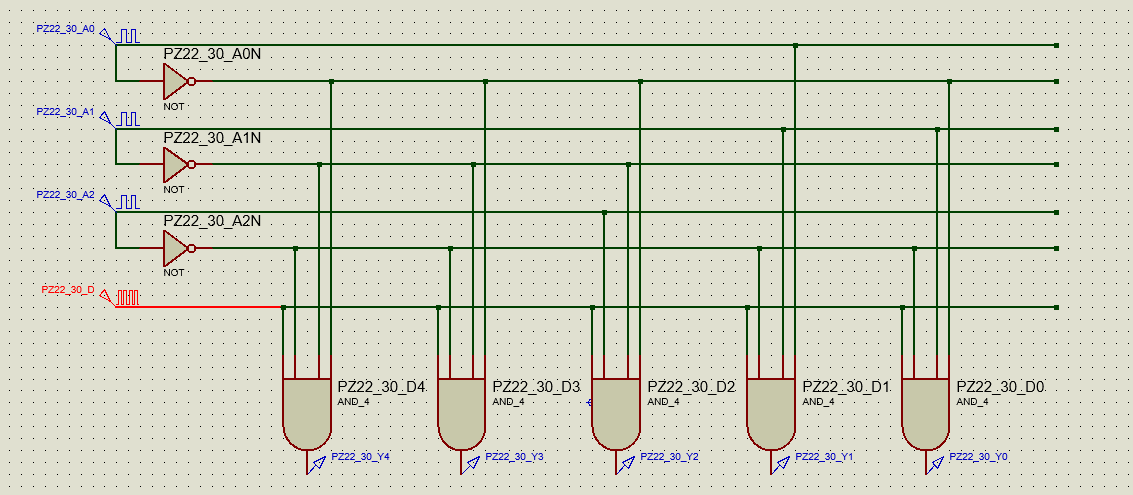
ДДНФ демультиплексора “1 в 5”:

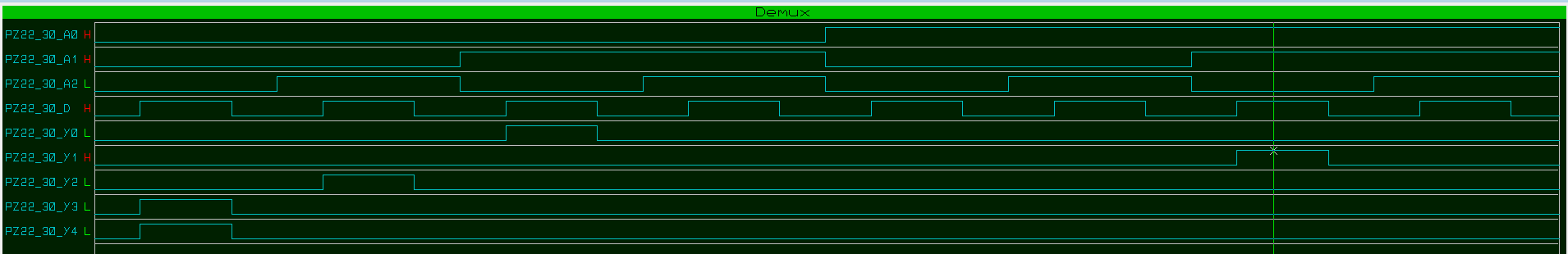
y3 = D¬a2¬a1¬a0  
y4 = D¬a2¬a1a0y0 = D¬a2a1¬a0y1 = D¬a2a1a0y2 = Da2¬a1¬a0

Частота генератора А0 = 126k  
Частота генератора А1 = 252k  
Частота генератора А2 = 504k

Тривалість сигналу генератора D = T/8 = 992n  
Бінарна стрічка для генератора D = 00111100

Схема демультиплексора “1 в 5”:

Графік сигналів генераторів та виходів демультиплексора “5 в 1”:



За допомогою отриманого графіка виконання схеми демультипексора бачимо, що часові діаграми вхідних та вихідних сигналів на кожному з восьми проміжків відповідають заданій таблиці істинності дешифратора. Отже, моделювання було виконано правильно.

**Висновок**

Під час виконання цієї лабораторної роботи я закріпив знання про моделювання логічних схем в середовищі Proteus. Також, я вивчив основні типи комбінаційних схем: шифратор, дешифратор, мультиплексор, демультиплексор, та опанував їх синтез.  
 Та проаналізував роботу синтезованих схем в програмі Proteus